

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-68949

(43) 公開日 平成9年(1997)3月11日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平7-222882

(22) 出願日 平成7年(1995)8月31日

(71) 出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72) 発明者 清水 信雄

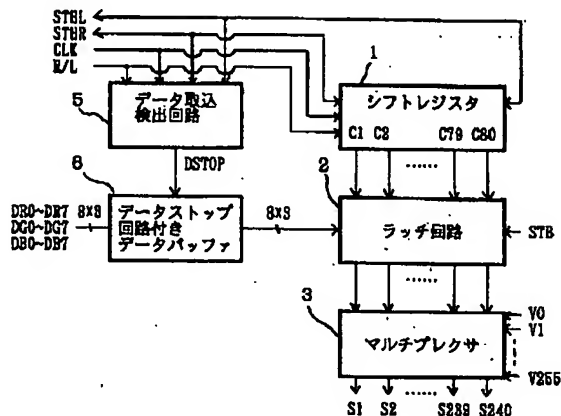
滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内

(54) 【発明の名称】 液晶駆動回路

(57) 【要約】

【課題】 液晶駆動回路をカスケード接続して使用するときのデータバッファでの消費電力を小さくする。

【解決手段】 液晶駆動回路のデータバッファ6にデータ取込検出回路5を接続し、データバッファ6をデータストップ回路付きとして、データ取込検出回路5でシフトレジスタ1のスタート信号の入力からカスケード信号の出力までの期間を検出し、データバッファ6にデータストップ信号を出力して、データバッファ6の動作を制御することにより、カスケード接続されている液晶駆動回路の内、表示データをラッチ回路2に取り込み中の液晶駆動回路を除く残りの液晶駆動回路のデータバッファ6の動作を停止出来るので全体として小さな消費電力で動作できる。



【特許請求の範囲】

【請求項1】スタート信号によりクロック信号に同期してカスケード信号と内部信号とが出力されるシフトレジスタと、

前記スタート信号と前記カスケード信号とが入力されるデータ取込検出回路と、

表示データと前記データ取込検出回路から出力されたデータストップ信号とが入力されるデータバッファと、

前記内部信号に同期して前記データバッファを介して前記表示データを取り込むラッチ回路とを具備し、

前記データバッファが前記データストップ信号により動作を制御して、前記スタート信号の入力から前記カスケード信号の入力されるまでの期間に前記表示データを出力する液晶駆動回路。

【請求項2】請求項1記載の液晶駆動回路を複数個カスケード接続し、表示データ取込中の前記液晶駆動回路の前記データバッファのみを動作させることを特徴とする液晶駆動回路。

【請求項3】前記データバッファが、1段目及び3段目以降の複数段にバッファと2段目にNANDゲートを具備し、前記データストップ信号を前記NANDゲートに入力して前記データバッファの動作を制御することを特徴とする請求項1記載の液晶駆動回路。

【請求項4】シフトレジスタと、ラッチ回路と、マルチプレクサと、データバッファとを具備した液晶駆動回路において、

前記シフトレジスタに入力されるスタート信号と前記シフトレジスタから出力されるカスケード信号を検出し、前記データバッファの動作を制御して、前記スタート信号の入力から前記カスケード信号の出力までの期間に表示データを前記データバッファからラッチ回路に出力する液晶駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶駆動回路に関し、特にカスケード接続して使用時に小さな消費電力で動作させるのに好適な液晶駆動回路に関する。

【0002】

【従来の技術】従来の液晶駆動回路を図5を参照して説明する。この液晶駆動回路は、水平画素数240ドット構成の水平駆動用で、例えば8個をカスケード接続して使用すれば水平画素数 $240 \times 8 = 1920$ ドットのパネル駆動が可能である。この回路ではカラーで256階調までの表示を行なわせるために、階調データ(8ビット) \times 3ピクセル(RGB)の24ビットで表示データを入力する必要がある。表示データDR0~DR7, DG0~DG7, DB0~DB7を入力する構成になっている。この液晶駆動回路は、シフトレジスタ1とラッチ回路2とマルチプレクサ3とデータバッファ4とで構成されている。シフトレジスタ1には、右シフト・スタート信号入出力

端子、左シフト・スタート信号入出力端子(図示せず)が設けられており、シフト切り替え信号R/L=Hに設定すると右シフト・スタート信号入出力端子はスタート信号入力端子となり、左シフト・スタート信号入出力端子はスタート信号出力端子となる。またシフト切り替え信号R/L=Lに設定すると右シフト・スタート信号入出力端子はスタート信号出力端子となり、左シフト・スタート信号入出力端子はスタート信号入力端子となる。以下の説明ではシフト切り替え信号R/L=Hに設定し、スタート信号入力端子への入力信号をスタート信号STHR、スタート信号出力端子からの出力信号をカスケード信号STHLで表す。

【0003】シフトレジスタ1は、スタート信号STHRとクロック信号CLKを入力すると、スタート信号STHRをクロック信号CLKでサンプリングして内部信号C1~C80としてその内部で転送させていき、次段にカスケード接続される液晶駆動回路のスタート信号となるカスケード信号STHLを出力する。また、内部信号C1~C80はラッチ回路2へ出力される。ラッチ回路2は、シフトレジスタ1からの内部信号C1~C80によりデータバッファ4からの表示データDR0~DR7, DG0~DG7, DB0~DB7を受け取り、さらにラッチ信号STBの入力によりマルチプレクサへ転送する。マルチプレクサ3は、ラッチ回路2から転送された表示データDR0~DR7, DG0~DG7, DB0~DB7により階調レベル電源V0~V256を選択して階調レベルS1~S240を出力する。データバッファ4は外部から送られてきた表示データDR0~DR7, DG0~DG7, DB0~DB7のタイミング調整や後段の駆動能力を上昇させてラッチ回路へ出力する。

【0004】

【発明が解決しようとする課題】ところで、上記の液晶駆動回路を例えば8個でカスケード接続した場合、表示データDR0~DR7, DG0~DG7, DB0~DB7は8個の液晶駆動回路に供給されるが、そのとき8個の液晶駆動回路のデータバッファ4は全て動作状態にある。従って、8個分のデータバッファを動作させるだけの電力を消費し、また多階調化するほどデータビット数も増えてデータバッファのバッファ数を増やさなければならず消費電力も増加するという問題がある。本発明は上記問題点に鑑みてなされたものであり、データバッファに動作を停止する回路を付加することにより表示データを取込中の1個の液晶駆動回路のデータバッファのみを動作させることにより無駄な消費電力をなくすこととする。

【0005】

【課題を解決するための手段】そこで本発明は、スタート信号によりクロック信号に同期してカスケード信号と内部信号とが出力されるシフトレジスタと、スタート信号とカスケード信号とが入力されるデータ取込検出回路と、表示データとデータ取込検出回路から出力されたデ

ータストップ信号とが入力されるデータバッファと、内部信号に同期してデータバッファを介して表示データを取り込むラッチ回路とを具備し、データバッファがデータストップ信号により動作を制御して、スタート信号の入力からカスケード信号の入力されるまでの期間に表示データを出力する液晶駆動回路である。この液晶駆動回路を複数個カスケード接続した場合、表示データ取込中の液晶駆動回路のデータバッファのみを動作させることができる。また、データバッファは、1段目及び3段目以降の複数段にバッファと2段目にNANDゲートを具備し、NANDゲートにデータストップ信号が入力されることにより、データバッファの動作を制御する。また、本発明は、シフトレジスタと、ラッチ回路と、マルチプレクサと、データバッファとを具備した液晶駆動回路において、シフトレジスタに入力されるスタート信号とシフトレジスタから出力されるカスケード信号を検出し、データバッファの動作を制御して、スタート信号の入力からカスケード信号の出力までの期間に表示データをデータバッファからラッチ回路に出力する液晶駆動回路である。

【0006】

【作用】液晶駆動回路のデータバッファにデータ取込検出回路を接続し、データバッファをデータストップ回路付きとし、データ取込検出回路でシフトレジスタのスタート信号の入力からカスケード信号の出力までの期間を検出し、データバッファにデータストップ信号を出力して、データバッファの動作を制御することにより、カスケード接続されている液晶駆動回路の内、表示データをラッチ回路に取り込み中の液晶駆動回路を除く残りの液晶駆動回路のデータバッファの動作を停止出来るので全体として小さな消費電力で動作できる。

【0007】

【実施例】以下、本発明について図1を参照して説明する。図において、図5に示す従来の液晶駆動回路と同一部分は同一符号を付して説明を略す。図5とは、シフトレジスタ1、ラッチ回路2、マルチプレクサ3の構成が同一であり、異なる点はデータ取込検出回路5とデータストップ回路付きデータバッファ6を設けている点である。データ取込検出回路5は、シフトレジスタ1の入出力であるシフト方向切り替え信号R/L、スタート信号STHR、カスケード信号STHL、クロック信号CLKを入力すると、シフトレジスタ1のスタート信号STHRの入力からカスケード信号STHLの出力までの期間を検出し、データストップ回路付きデータバッファ6にデータストップ信号DSTOPを出力する。データストップ回路付きデータバッファ6は、データ取込検出回路5からのデータストップ信号DSTOPを入力すると、シフトレジスタ1のスタート信号STHRの入力からカスケード信号の出力までの期間だけデータバッファ6が動作状態となり、それ以外の期間は停止状態とな

る。データバッファ6は、図2に示すバッファ回路7をデータビット数24個分有している。このバッファ回路7は、偶数の複数段の内1段目と3段目以降にバッファ8と2段目にNANDゲート9とで構成され、このNANDゲート9にデータストップ信号DSTOPを入力するようにしており、図2の真理値表に示すようにデータストップ信号DSTOP=LのときNANDゲート9の出力は常にHとなり2段目以降は動作しない。

【0008】以上の構成の液晶駆動回路を図3に示すようにカスケード接続した場合の動作を図4のタイムチャートを併用して説明する。図3において、各液晶駆動回路には、シフト方向切り替え信号R/L、クロック信号CLK、ラッチ信号STB、表示データDR0~DR7、DG0~DG7、DB0~DB7、階調レベル電源V0~V255を供給可能に各信号線を並列に接続している。また、1段目の液晶駆動回路には、スタート信号STHRを供給可能に信号線を接続し、この液晶駆動回路から次段の液晶駆動回路へカスケード信号STHLをスタート信号として供給可能に信号線を接続し、順次同様に8段目の液晶駆動回路まで信号線を接続している。

【0009】図4に示すようにシフト方向切り替え信号R/LはHレベルに設定されている。スタート信号STHRが1段目の液晶駆動回路のシフトレジスタ1に入力されるとクロック信号CLKでサンプリングされ、クロック信号CLKの各パルスの立ち上がりで同期して内部信号C1~C80としてシフトレジスタ1内を転送されていき、クロック信号CLKの80パルス目の立ち上がりでカスケード信号STHLがHレベルになり、次段へスタート信号として出力される。81パルス目の立ち上がりでカスケード出力STHLはLレベルに復帰する。また、内部信号C1~C80はラッチ回路2に出力される。1段目の液晶駆動回路のデータ取込検出回路5がスタート信号STHRの入力からカスケード信号STHLの出力までの期間を検出し、データバッファ6へのデータストップ信号DSTOPの出力をその期間Hレベルにして、データバッファ6を動作状態とする。このときラッチ回路2は、シフトレジスタ1からの内部信号C1~C80の立ち上がりで同期して、表示データDR0~DR7、DG0~DG7、DB0~DB7を動作状態にあるデータバッファ6を介して取り込み、さらにラッチ信号STBの入力によりマルチプレクサ3へ転送する。マルチプレクサ3は、ラッチ回路2から転送された表示データDR0~DR7、DG0~DG7、DB0~DB7により階調レベル電源V0~V256を選択して階調レベルS1~S240を出力する。一方、1段目の液晶駆動回路のスタート信号STHRの入力からカスケード信号STHLの出力までの期間、2段目から8段目の液晶駆動回路は、各前段からカスケード信号STHLがスタート信号として出力されていないので、各データ取込検出回路5にもその信号は入力されず、従って、各データ取込検出回路5から各デー

タバッファ6へのデータストップ信号D STOPの出力はLレベルとなり、データバッファ6を停止状態にしている。

【0010】次に、クロック信号CLKの80パルス目の立ち上がりでカスケード信号STHLがHレベルになり、2段目の液晶駆動回路のシフトレジスタ1にスタート信号STHRとして入力されると、クロック信号CLKに同期してシフトレジスタ内に転送されていきクロック信号CLKの160パルス目の立ち上がりでカスケード信号STHLがHレベルになり、3段目へスタート信号として出力される。161パルス目の立ち上がりでカスケード出力STHLはLレベルに復帰する。またクロック信号CLKの各パルスの立ち上がりに同期して2段目のシフトレジスタ1内に転送されて内部信号C1～C80を2段目のラッチ回路2に出力する。2段目のデータ取込検出回路5がスタート信号STHRの入力からカスケード信号STHLの出力までの期間を検出し、2段目のデータバッファ6へのデータストップ信号D STOPの出力をその期間Hレベルにして、2段目のデータバッファ6を動作状態とする。このとき2段目のラッチ回路2は、シフトレジスタ1からの内部信号C1～C80の立ち上がりに同期して、表示データDR0～DR7、DG0～DG7、DB0～DB7を動作状態にある2段目のデータバッファ6を介して取り込み、さらにラッチ信号STBの入力により2段目のマルチプレクサ3へ転送する。マルチプレクサ3は、ラッチ回路2から転送された表示データDR0～DR7、DG0～DG7、DB0～DB7により階調レベル電源V0～V256を選択して階調レベルS1～S240を出力する。一方、2段目の液晶駆動回路のスタート信号STHRの入力からカスケード信号STHLの出力までの期間、1段目及び3段目から8段目の液晶駆動回路は、上記と同様に各データバッファ6を停止状態にしている。以下、8段目まで順次、各段からカスケード信号が出力され、各次段にスタート信号として入力され、上記と同様に各段のマルチプレクサ3が階調レベルS1～S240を出力していく。このとき、上記と同様に表示データを取り込んでいない段の液晶駆動回路は、データバッファ6を停止状態にしている。

【0011】以上のように、表示データを取り込み中でない液晶駆動回路は、データバッファ6を停止しているためカスケード接続された液晶駆動回路全体として小さな消費電力で駆動でき省電力化できる。従来の液晶駆動

回路と消費電力を比較すると、上記のように8個の液晶駆動回路をカスケード接続した場合は、データバッファ動作時の消費電力を1mW、データバッファ停止時の消費電力を0.1mWと仮定して、

本発明： $(1 \times 1 \text{ mW}) + (7 \times 0.1 \text{ mW}) = 1.7 \text{ mW}$

従来： $(8 \times 1 \text{ mW}) = 8 \text{ mW}$

となり、本発明の液晶駆動回路をカスケード接続した場合の消費電力は従来の液晶駆動回路の20%で済むことになり、大きな省電力化となる。さらに、カスケード接続数が増えるほど、また階調データのビット数が増えほど、データ取込時とデータストップ時の消費電力の差が大きくなるので、省電力化の効果は大きくなる。

【0012】

【発明の効果】データ取込検出回路でシフトレジスタのスタート信号の入力からカスケード信号の出力までの期間を検出し、データストップ回路付きデータバッファにデータストップ信号を出力して、データバッファの動作を制御することにより、カスケード接続されている液晶駆動回路の内、表示データを取り込んでいない液晶駆動回路のデータバッファの動作を停止出来るので全体として小さな消費電力で動作できる。カスケード接続数が増加するほど、また階調データのビット数が増えるほど省電力の効果が大きくなり、多階調で大型の液晶パネルの駆動回路に好適である。

【図面の簡単な説明】

【図1】 本発明の一実施例の液晶駆動回路のブロック図

【図2】 図1に示すデータバッファの部分回路図及びその真理値表

【図3】 図1の液晶駆動回路がカスケード接続されたブロック図

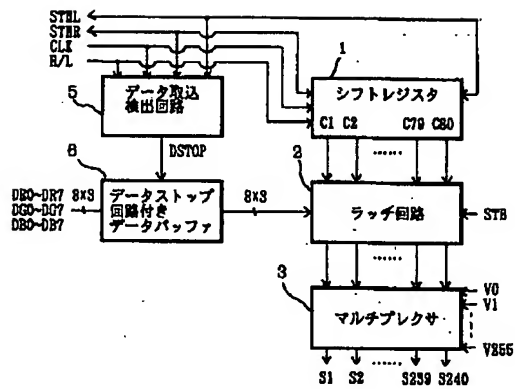
【図4】 図2のカスケード接続された液晶駆動回路のタイムチャート

【図5】 従来の液晶駆動回路のブロック図

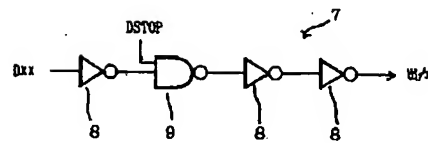
【符号の説明】

- 1 シフトレジスタ
- 2 ラッチ回路
- 3 マルチプレクサ
- 5 データ取込検出回路
- 6 データストップ回路付きデータバッファ

【図1】



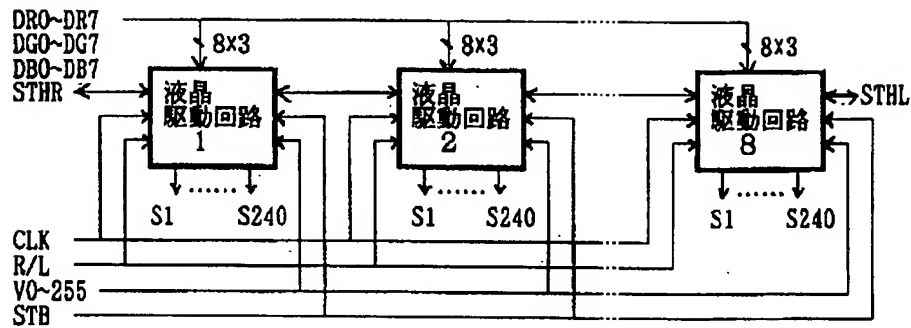
【図2】



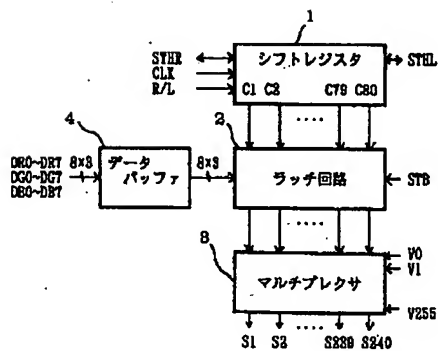
(真値値表)

Dxx	H	L	H	L
DSTOP	H	H	L	L
出力	H	L	H	H

【図3】



【図5】



【図4】

